

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183411

(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 06-032818

(71)Applicant : SONY CORP

(22)Date of filing : 04.02.1994

(72)Inventor : SUGIYAMA HISANOBU  
MIYASHITA MASARU

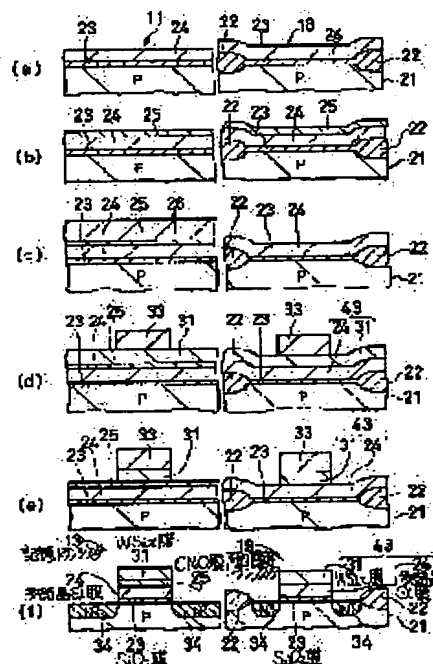
(30)Priority

Priority number : 05303321 Priority date : 09.11.1993 Priority country : JP

## (54) LAMINATED-GATE TYPE NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

**PURPOSE:** To increase reliability and achieve high integration by reducing difference in level and to reduce a manufacturing cost by simplifying a manufacturing process and to achieve further high integration by reducing the area of a memory cell.  
**CONSTITUTION:** A floating gate electrode and a control gate electrode in a memory transistor 13 are respectively constituted of a conducting film of the same layer as a polycrystalline Si film 24 and a WSix film 31 constituting a control gate electrode in a peripheral-circuit transistor 19. For this reason, as compared with the constitution in which a control gate electrode or the like is formed of the polycrystalline Si film 24 and the WSix film 31, the difference in level of a memory transistor 13 is smaller and it is easier to make flat and the manufacturing process is simpler.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183411

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

7210-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数4 F D (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-32818

(22) 出願日 平成6年(1994)2月4日

(31) 優先権主張番号 特願平5-303321

(32) 優先日 平5(1993)11月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 杉山 寿伸

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 宮下 勝

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

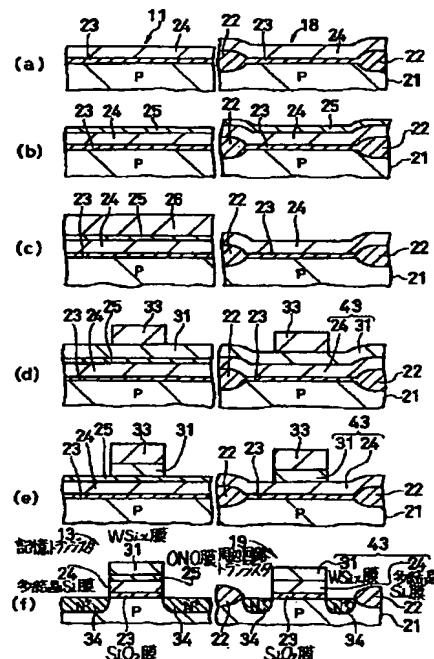
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 積層ゲート型不揮発性半導体記憶装置

(57) 【要約】

【目的】 段差を小さくして、信頼性を高めると共に高集積化を可能にし、製造工程を簡略にして、製造コストを低くし、メモリセル面積を縮小して、更なる高集積化を可能にする。

【構成】 記憶トランジスタ13における浮遊ゲート電極及び制御ゲート電極が、周辺回路トランジスタ19における制御ゲート電極を構成している多結晶Si膜24及びWSi<sub>2</sub>膜31と夫々同一層の導電膜から成っている。このため、多結晶Si膜24及びWSi<sub>2</sub>膜31で制御ゲート電極等が形成されている構造に比べて、記憶トランジスタ13の段差が小さくて平坦化が容易であり、製造工程も簡略である。



1

## 【特許請求の範囲】

【請求項1】 チャネル領域上に第1の絶縁膜を介して浮遊ゲート電極が設けられており、この浮遊ゲート電極上に第2の絶縁膜を介して第1の制御ゲート電極が積層されている第1の絶縁ゲート電界効果トランジスタと、前記第1の絶縁膜と同一層の第3の絶縁膜を介してチャネル領域上に第2の制御ゲート電極が設けられている第2の絶縁ゲート電界効果トランジスタとを有する積層ゲート型不揮発性半導体記憶装置において、前記浮遊ゲート電極と同一層の第1の導電膜と、前記第1の制御ゲート電極と同一層で前記第1の導電膜上に積層されている第2の導電膜とで、前記第2の制御ゲート電極が構成されていることを特徴とする積層ゲート型不揮発性半導体記憶装置。

【請求項2】 前記第1の制御ゲート電極が半導体膜から成っていることを特徴とする請求項1記載の積層ゲート型不揮発性半導体記憶装置。

【請求項3】 前記第1の制御ゲート電極がシリサイド膜から成っていることを特徴とする請求項1記載の積層ゲート型不揮発性半導体記憶装置。

【請求項4】 前記第2の絶縁膜のうちで前記第1の制御ゲート電極との対接面に半導体窒化膜が設けられていることを特徴とする請求項2または3記載の積層ゲート型不揮発性半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本願の発明は、浮遊ゲート電極を有している第1の絶縁ゲート電界効果トランジスタと浮遊ゲート電極を有していない第2の絶縁ゲート電界効果トランジスタとを有する積層ゲート型不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】図4は、NOR型のEPROMやフラッシュEPROM等のメモリ部11を示している。これらのNOR型不揮発性半導体記憶装置では、半導体基板の表面にフィールド絶縁膜12が選択的に設けられて素子分離領域が区画されており、フィールド絶縁膜12に囲まれている素子活性領域の表面にゲート絶縁膜（図示せず）が設けられている。

【0003】メモリセルに対応する記憶トランジスタ13のチャネル領域上には、ゲート絶縁膜を介して浮遊ゲート電極14が設けられており、この浮遊ゲート電極14上には、容量結合用の絶縁膜（図示せず）を介して制御ゲート電極15が積層されている。浮遊ゲート電極14及び制御ゲート電極15の両側の素子活性領域には、記憶トランジスタ13のソース及びドレインとしての拡散層16が設けられている。

【0004】制御ゲート電極15等は層間絶縁膜（図示せず）に覆われており、ドレインとしての拡散層16に達するコンタクト孔17が層間絶縁膜等を開孔されてい

2

る。そして、このコンタクト孔17を介して、ドレインとしての拡散層16にビット線（図示せず）がコンタクトしている。

【0005】図5は、図4に示したNOR型不揮発性半導体記憶装置である本願の発明の第1従来例を製造するための方法を、メモリ部11の記憶トランジスタ13と周辺回路部18の周辺回路トランジスタ19とについて示している。この製造方法では、図5(a)に示す様に、P型のSi基板21の表面にフィールド絶縁膜12としてのSiO<sub>2</sub>膜22をLOCOS法で選択的に形成して素子分離領域を区画し、SiO<sub>2</sub>膜22に囲まれている素子活性領域の表面にゲート絶縁膜としてのSiO<sub>2</sub>膜23を形成する。

【0006】その後、CVD法で多結晶Si膜24を全面に堆積させ、POC1<sub>3</sub>の蒸気に曝してこの蒸気からリンを熱拡散させるブレドポジション法で多結晶Si膜24にリンを添加する。そして、多結晶Si膜24に対するRIEで、後に形成する制御ゲート電極14の延在方向と垂直な方向に延在する縞状の多結晶Si膜24をメモリ部11にのみ残す。

【0007】次に、図5(b)に示す様に、ONO膜25を全面に形成し、図5(c)に示す様に、メモリ部11のみをレジスト26で覆って、周辺回路部18のONO膜25を除去する。但し、この時、周辺回路部18のSiO<sub>2</sub>膜23も除去される。そこで、図5(d)に示す様に、周辺回路部16の素子活性領域の表面にゲート絶縁膜としてのSiO<sub>2</sub>膜23を再び形成してから、全面に多結晶Si膜27を堆積させ且つリンを添加する。

【0008】次に、図5(e)に示す様に、WSi<sub>3</sub>膜31等のシリサイド膜を全面に堆積させて、多結晶Si膜27とWSi<sub>3</sub>膜31とでポリサイド膜32を形成する。そして、記憶トランジスタ13の制御ゲート電極15及び周辺回路トランジスタ19の制御ゲート電極のバターンに、レジスト33を加工する。

【0009】次に、図5(f)に示す様に、レジスト33をマスクにしてポリサイド膜32とONO膜25とを連続的にエッチングし、レジスト33を剥離した後、別のレジスト（図示せず）で周辺回路部18のみを覆った状態で、WSi<sub>3</sub>膜31等をマスクにしてメモリ部11の多結晶Si膜24をエッチングする。そして、WSi<sub>3</sub>膜31等をマスクにしてSi基板21中にN<sup>+</sup>拡散層34を形成して、記憶トランジスタ13及び周辺回路トランジスタ19を完成させる。その後、更に従来公知の工程を実行する。

【0010】以上の様にして製造した第1従来例におけるメモリ部11の記憶トランジスタ13では、多結晶Si膜24が浮遊ゲート電極14になっており、ONO膜25が容量結合用の絶縁膜になっており、ポリサイド膜32が制御ゲート電極15になっている。また、周辺回路部18の周辺回路トランジスタ19では、ポリサイド

膜32が制御ゲート電極になっている。

【0011】図6は、8段のNAND型のEPROMやフラッシュEEPROM等のメモリ部11を示している。これらの8段のNAND型不揮発性半導体記憶装置では、8個の記憶トランジスタ13が拡散層16を順次に共有して直列に配置されており、8個の記憶トランジスタ13の両側に更に1個ずつの選択トランジスタ35が直列に配置されている。

【0012】各記憶トランジスタ13には、上述のNOR型不揮発性半導体記憶装置の場合と同様に制御ゲート電極15の他に浮遊ゲート電極14も設けられているが、選択トランジスタ35には、制御ゲート電極15しか設けられていない。ビット線用のコンタクト孔17は、一方の選択トランジスタ35の記憶トランジスタ13とは反対側の拡散層16上に設けられている。

【0013】図7は、図6に示したNAND型不揮発性半導体記憶装置である本願の発明の第2従来例のうちで、選択トランジスタ35を示している。この第2従来例の記憶トランジスタ13では、ゲート絶縁膜であるSiO<sub>2</sub>、膜23上の多結晶Si膜36、SiO<sub>2</sub>、膜37及び多結晶Si膜38が、夫々浮遊ゲート電極14、容量結合用の絶縁膜及び制御ゲート電極15になっている。

【0014】このため、図7に示す様に、選択トランジスタ35では、多結晶Si膜38を多結晶Si膜36の分路にして、これら2層の多結晶Si膜36、38で制御ゲート電極15を構成している。即ち、メモリ部11の所定位置で多結晶Si膜38及びSiO<sub>2</sub>、膜37にコンタクト孔41を設け、このコンタクト孔41を覆って形成したA1膜42を介して、多結晶Si膜36、38同士を電気的に接続している。

【0015】

【発明が解決しようとする課題】ところが、図5に示した第1従来例では、図5(f)からも明らかな様に、周辺回路トランジスタ19における段差に比べて記憶トランジスタ13における段差が大きいく。このため、コンタクト孔17のアスペクト比が大きいくて、信頼性が低い。また、平坦化が容易ではないので、多層配線化による高集積化も困難である。しかも、2層の多結晶Si膜24、27を形成する必要があるので、通常の絶縁ゲート電界効果トランジスタに比べて、製造工程が多くて、製造コストが高い。

【0016】また、図7に示した第2従来例では、多結晶Si膜36、38同士を電気的に接続するために、コンタクト孔41及びA1膜42が必要である。ところが、図7(b)からも明らかな様に、多結晶Si膜36、38に比べてバターンニングの容易でないA1膜42では多結晶Si膜36、38よりもピッチを大きくする必要があり、また段差被覆性の良くないA1膜42のためにコンタクト孔41の寸法を大きくする必要がある。従って、この第2従来例では、メモリセル面積を縮小し

て高集積化を図ることが困難である。

【0017】

【課題を解決するための手段】請求項1の積層ゲート型不揮発性半導体記憶装置は、チャネル領域上に第1の絶縁膜23を介して浮遊ゲート電極14が設けられており、この浮遊ゲート電極14上に第2の絶縁膜25、37を介して第1の制御ゲート電極15が積層されている第1の絶縁ゲート電界効果トランジスタ13と、前記第1の絶縁膜23と同一層の第3の絶縁膜23を介してチャネル領域上に第2の制御ゲート電極15が設けられている第2の絶縁ゲート電界効果トランジスタ19、35とを有する積層ゲート型不揮発性半導体記憶装置において、前記浮遊ゲート電極14と同一層の第1の導電膜24、36と、前記第1の制御ゲート電極15と同一層で前記第1の導電膜24、36上に積層されている第2の導電膜31、38とで、前記第2の制御ゲート電極15が構成されていることを特徴としている。

【0018】請求項2の積層ゲート型不揮発性半導体記憶装置は、請求項1の積層ゲート型不揮発性半導体記憶装置において、前記第1の制御ゲート電極15が半導体膜38から成っていることを特徴としている。

【0019】請求項3の積層ゲート型不揮発性半導体記憶装置は、請求項1の積層ゲート型不揮発性半導体記憶装置において、前記第1の制御ゲート電極15がシリサイド膜31から成っていることを特徴としている。

【0020】請求項4の積層ゲート型不揮発性半導体記憶装置は、請求項2または3の積層ゲート型不揮発性半導体記憶装置において、前記第2の絶縁膜25、37のうちで前記第1の制御ゲート電極15との対接面に半導体窒化膜が設けられていることを特徴としている。

【0021】

【作用】請求項1～3の積層ゲート型不揮発性半導体記憶装置では、第1の絶縁ゲート電界効果トランジスタ13における浮遊ゲート電極14及び第1の制御ゲート電極15が、第2の絶縁ゲート電界効果トランジスタ19、35における第2の制御ゲート電極15を構成している第1及び第2の導電膜24、36及び31、38と夫々同一層の導電膜24、36及び31、38から成っている。

【0022】このため、浮遊ゲート電極14または第1の制御ゲート電極15の何れかが第1及び第2の導電膜24、36及び31、38の両方から成っている構造に比べて、第1の絶縁ゲート電界効果トランジスタ13における段差が小さいくて平坦化が容易であり、しかも、第1及び第2の導電膜24、36及び31、38以外の導電膜42を用いる必要がなくて製造工程が簡略である。

【0023】また、第2の絶縁ゲート電界効果トランジスタ19、35では、第1の導電膜24、36とこの第1の導電膜24、36上に積層されている第2の導電膜31、38とで第2の制御ゲート電極15が構成されて

おり、これら第1及び第2の導電膜24、36及び31、38の間には絶縁膜が介在していない。このため、第1及び第2の導電膜24、36及び31、38同士を電氣的に接続するためのコンタクト孔41及び追加の導電膜42が不要であり、これらが必要な構造に比べてメモリセル面積を縮小することが可能である。

【0024】請求項4の積層ゲート型不揮発性半導体記憶装置では、第2の制御ゲート電極19、35を構成している第1の導電膜24、36の表面から自然酸化膜を除去したりする際に、第1の絶縁ゲート電界効果トランジスタ13における第2の絶縁膜25、37がエッチングされるのを半導体窒化膜で防止することが可能である。

【0025】また、第1の制御ゲート電極15がシリサイド膜31から成っている、半導体窒化膜のために第1の制御ゲート電極15と第2の絶縁膜25との密着性が良く、且つ第1の制御ゲート電極15の組成物が第2の絶縁膜25中へ侵入して第2の絶縁膜25の膜質が劣化するのを半導体窒化膜で防止することができる。

【0026】

【実施例】以下、本願の発明の第1及び第2実施例を、図1～3を参照しながら説明する。なお、図5、7に示した第1及び第2従来例と対応する構成部分には、同一の符号を付してある。

【0027】図1は、図4に示したNOR型不揮発性半導体記憶装置である本願の発明の第1実施例を製造するための方法を、メモリ部11の記憶トランジスタ13と周辺回路部18の周辺回路トランジスタ19とについて示している。この製造方法でも、図1(a)に示す様に、全面に堆積させた多結晶Si膜24にリンを添加するまでは、図5に示した第1従来例を製造する場合と実質的に同様の工程を実行する。

【0028】しかし、この第1実施例を製造するためには、その後、多結晶Si膜24に対するRIEで、後に形成する制御ゲート電極15の延在方向と垂直な方向に延在する縞状の多結晶Si膜24をメモリ部11に残すと同時に、周辺回路部18の全面にも多結晶Si膜24を残す。

【0029】次に、図1(b)に示す様に、多結晶Si膜24等の表面にONO膜25を形成し、更に、図1(c)に示す様に、メモリ部11のみをレジスト26で覆って、周辺回路部18のONO膜25をプラズマエッチング等で除去する。

【0030】次に、図1(d)に示す様に、レジスト26を剥離した後、周辺回路部18における多結晶Si膜24上の自然酸化膜(図示せず)をフッ酸水でエッチングする。この時、メモリ部11におけるONO膜25のうちの上層側のSiO<sub>2</sub>膜も同時にエッチングされるので、それを見込んでこのSiO<sub>2</sub>膜の膜厚を厚くしておく。

【0031】その後、WSi<sub>x</sub>膜31等のシリサイド膜を全面に堆積させて、周辺回路部18のみにおいて、多結晶Si膜24とWSi<sub>x</sub>膜31とでポリサイド膜43を形成する。そして、記憶トランジスタ13の制御ゲート電極15及び周辺回路トランジスタ19の制御ゲート電極のパターンに、レジスト33を加工する。

【0032】次に、図1(e)に示す様に、レジスト33をマスクにして、WSi<sub>x</sub>膜31のみをRIEでエッチングする。その後、高選択比酸化膜エッチング装置によって、図1(f)に示す様に、メモリ部11のONO膜25をエッチングし、引き続いてメモリ部11及び周辺回路部18の多結晶Si膜24をエッチングする。そして、WSi<sub>x</sub>膜31等をマスクにして、Si基板21中にN<sup>+</sup>拡散層34を形成して、記憶トランジスタ13及び周辺回路トランジスタ19を完成させる。その後、更に従来公知の工程を実行する。

【0033】以上の様にして製造した第1実施例におけるメモリ部11の記憶トランジスタ13では、多結晶Si膜24が浮遊ゲート電極14になっており、ONO膜25が容量結合用の絶縁膜になっており、WSi<sub>x</sub>膜31が制御ゲート電極15になっている。また、周辺回路部18の周辺回路トランジスタ19では、ポリサイド膜43が制御ゲート電極になっている。

【0034】そして、図1(f)からも明らかな様に、記憶トランジスタ13における段差は周辺回路トランジスタ19における段差に比べてONO膜25のために20nm程度大きいだけであり、記憶トランジスタ13の浮遊ゲート電極14及び制御ゲート電極15である多結晶Si膜24及びWSi<sub>x</sub>膜31による段差と周辺回路トランジスタ19の制御ゲート電極であるポリサイド膜43による段差とは殆ど差がない。

【0035】また、図5に示した第1従来例とこの第1実施例とを比較すると、この第1実施例では、多結晶Si膜27を用いていないので多結晶Si膜27の堆積及びリンの添加等の工程が不要であると共に、多結晶Si膜24をエッチングする際に周辺回路部18を覆うレジストのパターニング等の工程も不要であり、この第1実施例の方が製造工程が簡略である。

【0036】なお、第1実施例では、メモリ部11の多結晶Si膜24とWSi<sub>x</sub>膜31との間の容量結合用の絶縁膜としてONO膜25を用いているが、このONO膜25上にSiN膜を設けたONON膜を容量結合用の絶縁膜として用いてもよい。このONON膜を用いると、ONO膜25とWSi<sub>x</sub>膜31との密着性が良く、且つWSi<sub>x</sub>膜31中のWやSi等がONO膜25のうちの上層側のSiO<sub>2</sub>膜中へ侵入してONO膜25の膜質が劣化するのを防止することができる。

【0037】また、このONON膜を用いると、図1(d)の工程で、周辺回路部18における多結晶Si膜24上の自然酸化膜をフッ酸水でエッチングする際に、

メモリ部11におけるONO膜25のうちの上層側のSiO<sub>2</sub>膜も同時にエッチングされるのを防止することができるので、それを見込んでこのSiO<sub>2</sub>膜の膜厚を厚くしておく必要もなくなる。

【0038】図2、3は、図6に示したNAND型不揮発性半導体記憶装置である本願の発明の第2実施例を製造するための方法を、メモリ部11の記憶トランジスタ13と選択トランジスタ35とについて示している。この製造方法でも、素子活性領域の表面にゲート絶縁膜としてのSiO<sub>2</sub>膜23を形成するまでは、図5に示した第1従来例を製造する場合と実質的に同様の工程を実行する。

【0039】この第2実施例を製造するためには、その後、図2(a)に示す様に、CVD法で多結晶Si膜36を全面に堆積させ、図2(b)に示す様に、直列に配置すべき記憶トランジスタ13の浮遊ゲート電極14の幅を規定する縞状の部分と選択トランジスタ35を形成すべき領域とを覆うパターンに、多結晶Si膜36上でレジスト44を加工する。そして、このレジスト44をマスクにして、多結晶Si膜36に対するRIEを行

う。

【0040】次に、図2(c)に示す様に、レジスト44を剥離した後、多結晶Si膜36を酸化して、その表面にSiO<sub>2</sub>膜37を形成する。その後、図2(d)に示す様に、記憶トランジスタ13を形成すべき領域のみをレジスト45で覆って、選択トランジスタ35を形成すべき領域のSiO<sub>2</sub>膜37をエッチングする。そして、図2(e)に示す様に、レジスト45を剥離した後、CVD法で多結晶Si膜38を全面に堆積させる。

【0041】次に、図3(a)に示す様に、記憶トランジスタ13及び選択トランジスタ35の制御ゲート電極15のパターンに、多結晶Si膜38上でレジスト46を加工し、このレジスト46をマスクにして、多結晶Si膜38に対するRIEを行う。そして、図3(b)に示す様に、引き続きレジスト46をマスクにして、このレジスト46から露出しているSiO<sub>2</sub>膜37に対するRIEを行う。

【0042】次に、図3(c)に示す様に、更に引き続きレジスト46をマスクにして、このレジスト46から露出している多結晶Si膜36に対するRIEを行う。そして、レジスト46を剥離した後、多結晶Si膜38等をマスクにして、Si基板21中に拡散層16を形成して、記憶トランジスタ13及び選択トランジスタ35を完成させる。その後、更に従来公知の工程を実行する。

【0043】以上の様にして製造した第2実施例の記憶トランジスタ13では、図3(c)からも明らかな様に、多結晶Si膜36、38が夫々浮遊ゲート電極14及び制御ゲート電極15になっており、SiO<sub>2</sub>膜37がこれらの多結晶Si膜36、38同士を容量結合する

ための絶縁膜になっている。しかし、選択トランジスタ35では、SiO<sub>2</sub>膜37が存在しておらず、共に制御ゲート電極15になっている多結晶Si膜36の上面と多結晶Si膜38の下面とが全面的にコンタクトしている。

【0044】従って、この第2実施例では、図7に示した第2従来例の様に、多結晶Si膜36、38同士を電氣的に接続するためのコンタクト孔41及びA1膜42を必要とせず、これらが必要な第2従来例に比べてメモリセル面積を縮小することが可能である。

【0045】なお、この第2実施例では、記憶トランジスタ13の浮遊ゲート電極14及び制御ゲート電極15である多結晶Si膜36、38同士を容量結合するための絶縁膜として、SiO<sub>2</sub>膜37を用いているが、このSiO<sub>2</sub>膜37上にSiN膜を設けてもよく、上述の第1実施例と同様にONO膜25やONON膜等を用いてもよい。

【0046】

【発明の効果】請求項1～3の積層ゲート型不揮発性半導体記憶装置では、第1の絶縁ゲート電界効果トランジスタにおける段差が小さいので、コンタクト孔のアスペクト比が小さくて信頼性が高く、また平坦化が容易であるので、多層配線化による高集積化も可能である。しかも、製造工程が簡略であるので、製造コストが低く、またメモリセル面積を縮小することが可能であるので、更なる高集積化が可能である。

【0047】請求項4の積層ゲート型不揮発性半導体記憶装置では、第1の絶縁ゲート電界効果トランジスタにおける第2の絶縁膜がエッチングされるのを防止することが可能であり、第1の制御ゲート電極と第2の絶縁膜との密着性が良く、且つ第1の制御ゲート電極の組成物が第2の絶縁膜中へ侵入して第2の絶縁膜の膜質が劣化するのを防止することができるので、信頼性やデータ保持特性が高い。

【図面の簡単な説明】

【図1】本願の発明の第1実施例の製造方法を工程順に示す側断面図である。

【図2】本願の発明の第2実施例の製造方法の前半を工程順に示しており、図6のS-S線に沿う位置における側断面図である。

【図3】第2実施例の製造方法の後半を工程順に示しており、図6のS-S線に沿う位置における側断面図である。

【図4】本願の発明を適用し得るNOR型の積層ゲート型不揮発性半導体記憶装置におけるメモリ部の平面図である。

【図5】本願の発明の第1従来例の製造方法を工程順に示す側断面図である。

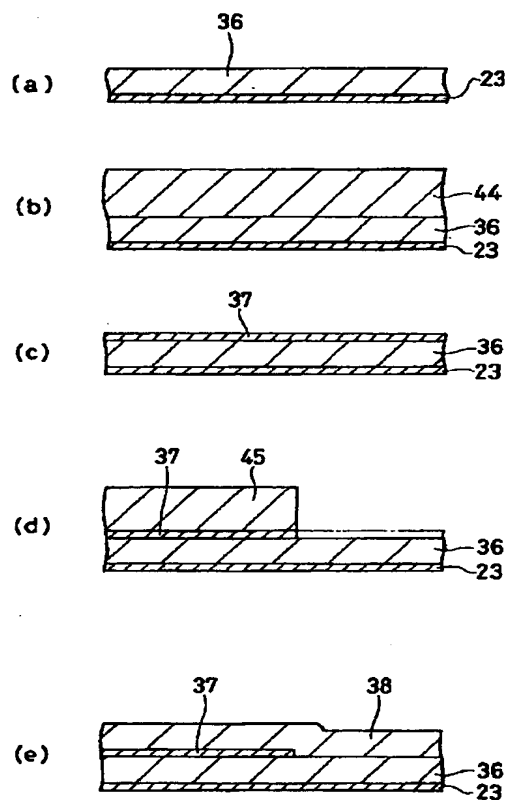
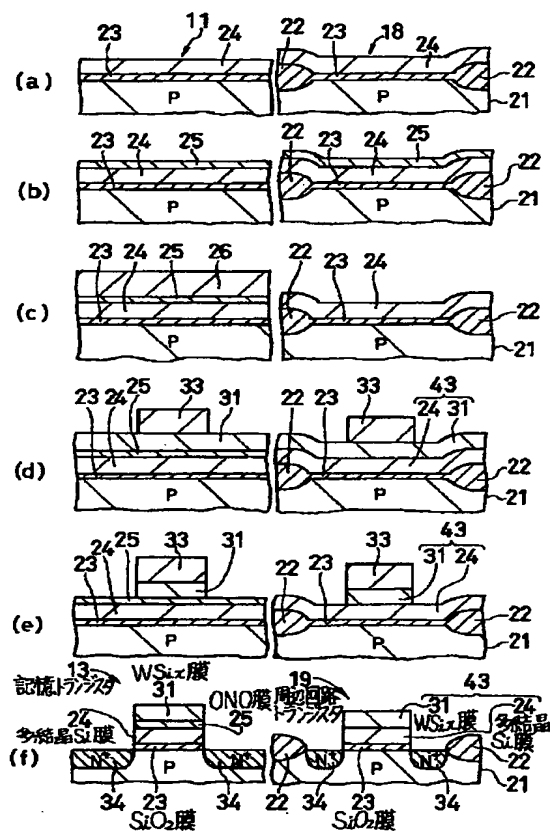
【図6】本願の発明を適用し得るNAND型の積層ゲート型不揮発性半導体記憶装置におけるメモリ部の平面図

* 23	SiO <sub>2</sub> 膜
24	多結晶Si膜
25	ONO膜
31	WSi <sub>x</sub> 膜
35	選択トランジ
36	多結晶Si膜
37	SiO <sub>2</sub> 膜
* 38	多結晶Si膜

【符号の説明】

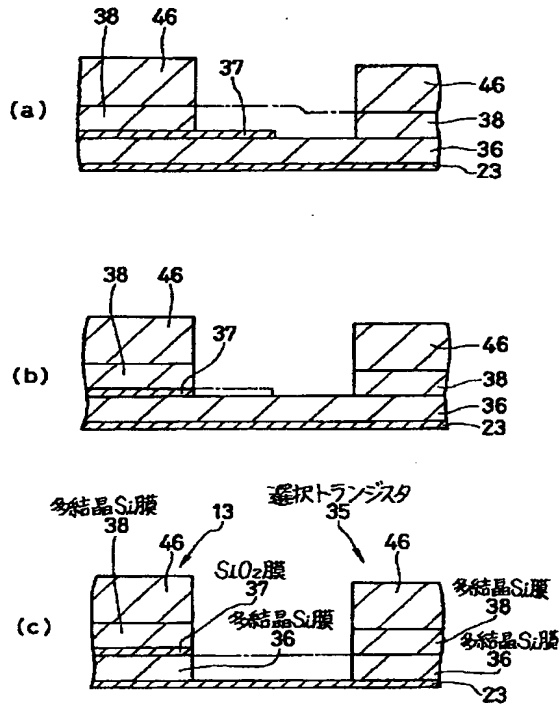
- 13 記憶トランジスタ  
14 浮遊ゲート電極  
15 制御ゲート電極  
19 周辺回路トランジスタ

【圖2】

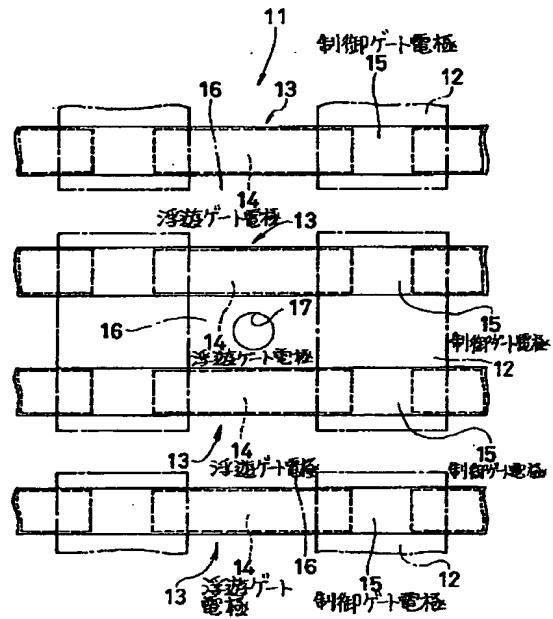




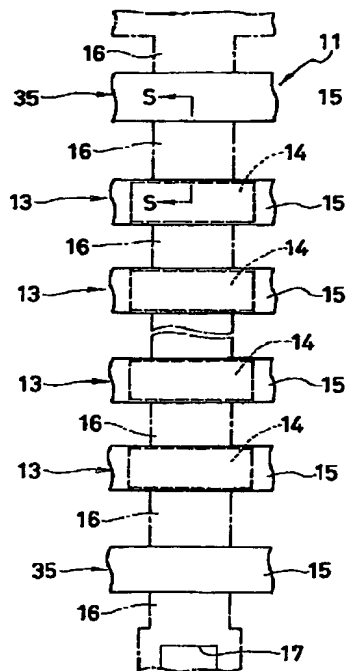
【図3】



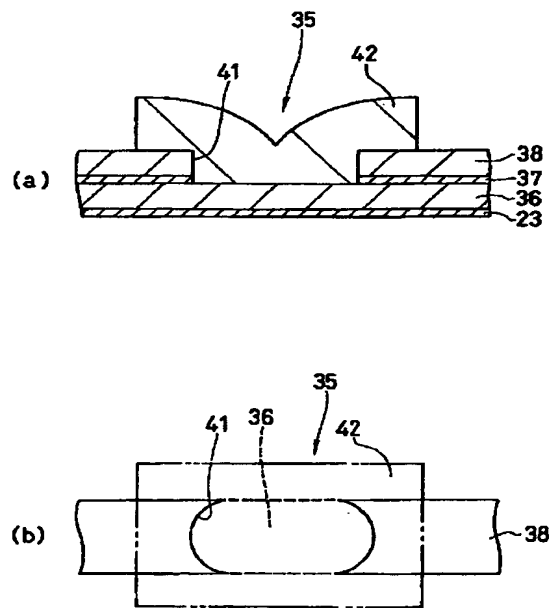
【図4】



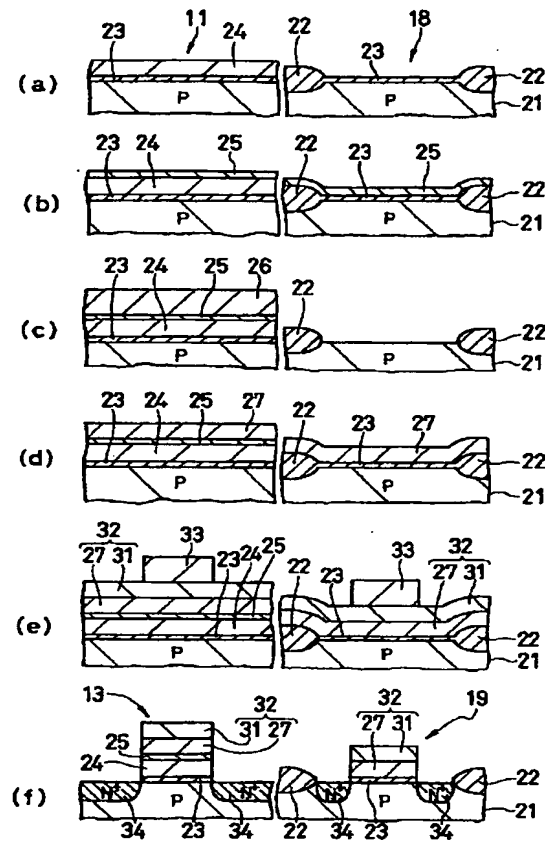
【図6】



【図7】



【図5】



フロントページの続き

(51)Int.Cl.<sup>5</sup>  
H01L 27/115

識別記号 片内整理番号 FI

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**